

Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx™

5 jours - 35 heures

OBJECTIFS

- Après avoir suivi cette formation, vous aurez les compétences nécessaires pour :
 - 1- Comprendre l'architecture d'un FPGA Series-7
 - 2 - Appréhender les multiples possibilités offertes par le langage VHDL et comprendre les notions de synthèse logique
 - 3 - Connaître les styles d'écritures et leur impact sur la qualité des résultats de synthèse
 - 4 - Manipuler les outils de développement et les rapports d'implémentation
 - 5 - Appréhender les multiples possibilités de simulation offertes par le langage VHDL et construire des bancs de test efficaces

PRÉREQUIS

- Cette formation s'adresse aux ingénieurs électroniciens ayant déjà de bonnes connaissances en conception de circuit d'électronique numérique, désireux d'acquérir une solide méthodologie de conception, et de tirer le meilleur parti du langage VHDL, ainsi que des outils de synthèse et de simulation associés pour développement de FPGA Xilinx.

PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique
- Toutes nos formations étant données à distance, sont accessibles aux personnes à mobilité réduite.
- Notre partenaire AGEFIPH nous accompagne pour mettre en place les adaptations nécessaires liées à votre handicap.



NOTES

- Date de version : 13/12/2021

CHAPITRES

JOUR 1

- Objectif 1
 - Notions de CLB et de slices
 - Blocs de RAM dédiée et modes d'utilisation
 - Multiplieurs dédiés et blocs DSP48
 - Blocs d'entrée sortie
 - Distribution d'horloges, MMCMs et PLLs
 - Configuration

JOUR 2

- Objectif 2
 - Notion d'entité/architecture
 - Instructions concurrentes et séquentielles
 - Objets et types prédéfinis
 - Opérateurs prédéfinis et d'utilisation étendue par l'utilisation de packages standardisés
 - Instructions concurrentes : when, with select, for generate

JOUR 3

- Objectif 2
 - Les process
 - Organisation de design par modules fonctionnels

- Notions d'inférence et d'instanciation
- Précautions à prendre pour un code évolutif et/ou réutilisable

JOUR 4

- Objectif 3
 - Notions de variables et exemples d'utilisation
 - Généricité et paramétrage automatique des modules réutilisables
 - Attributs prédéfinis utiles en synthèse logique
 - Fonctions et procédures
 - Définition de packages et librairies
- Objectif 4
 - Conception synchrone
 - Analyse statique de timing
 - Outils d'implémentation et de mise au point

JOUR 5

- Objectif 5
 - Instructions VHDL spécifiques à la simulation
 - Ecriture de modèles de composants destinés à rendre la simulation plus réaliste
 - Utilisation de modèles et packages de simulation existants
 - Ecriture et lecture de fichiers ASCII
 - Génération de messages d'information

MOYENS PÉDAGOGIQUES

- Formation Inter-entreprise en ligne:
 - Présentation par Webex de Cisco



- Fourniture de matériel de cours en format PDF
- Travaux pratiques sur PC à distance par RealVNC



MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
 - Questionnaire technique
 - Résultat des Travaux pratiques
 - Validation des Objectifs

- Remise d'une attestation avec évaluation des acquis

ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
 - Expert FPGA XILINX – Langage VHDL/Verilog – Design RTL
 - Expert SoC & MPSoC XILINX – Langage C/C++ – Design Systèmes
 - Expert DSP & RFSoc XILINX – HLS - Matlab - Design DSP RF
 - Expert ACAP XILINX – Engins AI – Architecte Système Hétérogènes

PC RECOMMANDÉ

- Configuration logicielle :
 - WebEx Cisco
 - RealVNC Viewer
- Vivado Design Suite 2021.1
- Configuration matérielle :
 - Ordinateur récent (i5 ou i7)
 - OS Linux 64-bits (Windows 10 compatible)
 - Minimum 16Go de mémoire vive
 - Résolution d'affichage recommandée 1920x1080

PARTENAIRES



CONTACT

Administratif : +33 (0)6 30 94 50 17

Formateur : +33 (0)6 74 52 37 89

info@mvd-training.com

