

Conception de FPGA à l'aide de Vivado™

OBJECTIF GÉNÉRAL DE LA FORMATION

Concevoir un design FPGA, qui comprend la création d'un projet Vivado™ Design Suite avec des fichiers sources, la simulation de la conception, l'exécution d'affectations de broches, l'application de contraintes de timing de base, la synthèse, la mise en œuvre et le débogage de la conception.

DURÉE DE FORMATION



4 jours - 28 heures

PRÉREQUIS

- Connaissance de base du langage VHDL ou Verilog
- Connaissance de la conception numérique

PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique
- Toutes nos formations étant données à distance, sont accessibles aux personnes à mobilité réduite.
- Les personnes en situation de handicap peuvent avoir des besoins spécifiques pour suivre la formation. Notre partenaire AGEFIPH nous accompagne pour mettre en place les adaptations nécessaires liées à votre handicap. N'hésitez pas à nous contacter pour en discuter.



NOTES

- Date de version : 15/11/2024

ENCADREMENT PÉDAGOGIQUE

- **William Duluc, Ingénieur Electronique et Télécom, Expert AMD depuis 2009 et Formateur AMD depuis 2017 :**
 - Expert FPGA AMD - Langage VHDL/Verilog - Design RTL
 - Expert SoC & MPSoC AMD - Langage C/C++ - Design Systèmes
 - Expert DSP & RFSoc AMD - HLS - Matlab - Design DSP RF
 - Expert Versal AMD - Engins AI - Architecte Système Hétérogènes

OBJECTIFS ET COMPÉTENCES VISÉS

- 1 - Savoir utiliser la disposition de planification des E/S de Vivado IDE pour effectuer les affectations de broches.
- 2 - Savoir décrire les flux de conception pris en charge par l'IDE de Vivado.
- 3 - Savoir synthétiser et implémenter la conception HDL, et générer un rapport DRC pour détecter et corriger les problèmes de conception.
- 4 - Savoir créer et empaqueter votre propre IP et utiliser l'intégrateur d'IP de Vivado pour créer une conception de bloc.
- 5 - Savoir décrire comment l'analyse et l'optimisation de la puissance sont effectuées
- 6 - Savoir appliquer les contraintes d'horloge, des E/S et d'exception de synchronisation et effectuer une analyse de timings.
- 7 - Savoir identifier les techniques de conception synchrone
- 8 - Savoir décrire comment le FPGA est programmé
- 9 - Savoir utiliser l'analyseur logique et les noyaux de débogage de Vivado pour déboguer une conception.

CONTENU DE LA FORMATION

JOUR 1

- Objectif 1
 - Introduction à Vivado Design Flows {Lecture}
 - Introduction à l'architecture FPGA, 3D IC, SoC {Lecture}
 - Méthodologie UltraFast Design: Planning {Lecture}
 - Vivado Design Suite I / O Pin Planning {Lecture, Lab}
- Objectif 2
 - Mode de projet Vivado Design Suite {Lecture, Lab}
 - Scripting dans Vivado Design Suite Project Mode {Lecture}
 - HDL Coding Techniques {Lecture}
 - Inference {Lecture}
 - Simulation {Lecture, Lab}
- Objectif 3
 - Synthèse et Implémentation {Lecture, Lab}
 - Introduction à Vivado Reports {Lecture, Labs}

JOUR 2

- Objectif 4
 - Vivado IP Flow {Lecture, Lab}
 - Création et emballage IP personnalisé {Lecture, Lab}
 - Utilisation d'un conteneur IP {Lecture}
 - Conception avec IP Intégrateur {Lecture, Lab}
- Objectif 5
 - Analyse et optimisation de puissance à l'aide de Vivado Design Suite {Lecture}
- Objectif 6
 - Baselineing {Lecture}
 - Rédacteur des contraintes de temps {Lecture}
 - Rapport de synthèse sur le timing {Lecture}
 - Ressources d'horloges {Lecture}

- Introduction aux contraintes horloges {Lecture}



JOUR 3

- Objectif 6
 - Horloges générées {Lecture, Lab}
 - Rapport sur les réseaux d'horloges {Lecture}
 - Contraintes du groupe d'horloge {Lecture}
 - Rapport sur l'interaction entre les horloges {Lecture}
 - Analyse des délais de setup et de hold {Lecture}
 - Ressources logiques E/S {Lecture}
 - Contraintes d'entrées/sorties et horloges virtuelles {Lecture, Lab}
 - L'assistant sur les contraintes de temps {Lecture}
 - Introduction aux exceptions de timings {Lecture, Lab}
- Objectif 7
 - Techniques de conception synchrone {Lecture}
 - Circuits de synchronisation {Lecture}
 - Priorités des contraintes de timing {Lecture}

JOUR 4

- Objectif 8
 - Introduction à la configuration FPGA {Lecture}
 - Processus de configuration {Lecture}
 - Modes de configuration {Lecture}
 - Chaînes et gangs en configuration {Lecture}
 - Sécurité des bitstreams {Lecture}
- Objectif 9
 - Introduction à Vivado Logic Analyzer {Lecture}
 - Introduction au déclenchement {Lecture}
 - Cores de débogage {Lecture}
 - Flux de débogage instanciation HDL {Lecture, Lab}
 - Flux de débogage insertion dans la netlist {Lecture, Lab}
 - Flux de débogage dans la conception d'un bloc d'intégration IP {Lecture, Lab}

MOYENS PÉDAGOGIQUES

- **Formation Inter-entreprise en distanciel :**
 - Connexion internet rapide, webcam, casque micro
 - Présentation par Webex de Cisco

 - Fourniture de matériel de cours en format PDF
 - Travaux pratiques sur PC individuel à distance par RealVNC

- **Formation Intra-entreprise en présentiel sur site client : (modalités à valider en amont de la formation)**
 - Suggestion de fourniture par le client :
 - Salle de formation
 - Vidéoprojecteur
 - Tableau blanc
 - PC individuel avec outils AMD
 - Fourniture par MVD Training :
 - Matériel de cours en format PDF
 - Travaux pratiques sur PC individuel (prêt de matériel possible sur demande)

MATÉRIEL INFORMATIQUE RECOMMANDÉ

- **Formation Inter-entreprise en distanciel :**
 - Ordinateur récent OS Linux ou Windows 64-bits
 - Internet rapide, webcam, casque micro
 - Outil logiciel WebEx Cisco
 - **Outils logiciels AMD à distance :**
 - Outil logiciel RealVNC Viewer
 - **Outils logiciels AMD en local :**
 - Outil logiciel AMD Vivado 2022.2
- **Formation en présentiel sur site client :**
 - Ordinateur récent OS Linux ou Windows 64-bits
 - Outil logiciel AMD Vivado 2022.2

MÉTHODES ET SUIVI PÉDAGOGIQUES - EVALUATION ET RECONNAISSANCE

- **Méthodes pédagogiques :**
 - Alternance de cours, de questionnaires techniques et d'exercices réalisés sur machine individuellement.
- **Suivi pédagogique :**
 - Feuille de présence émargée
- **Evaluation pédagogique :**
 - Fiche d'évaluation continue et de progression :
 - Questionnaire technique
 - Résultat des Travaux pratiques
 - Validation des Objectifs
- **Evaluation de satisfaction :**
 - En fin de formation : fiche d'appréciation remplie par le stagiaire
 - A 3 mois : fiche d'évaluation remplie par le stagiaire après application entreprise
- **Reconnaissance :**
 - Attestation de formation avec évaluation des acquis fournie au stagiaire
 - Certificat de réalisation fourni à son employeur

CONTACT TECHNIQUE, PÉDAGOGIQUE, ADMINISTRATIF ET FINANCIER

William DULUC, 06 74 52 37 89, info@mvd-training.com