

# Analyse statique de timing (STA) Contraintes de Design Xilinx (XDC) et UltraFast Design Methodologie

3 jours - 21 heures

## OBJECTIFS

- Après avoir terminé cette formation complète, vous aurez les compétences nécessaires pour:
  - Décrire la liste de contrôle de la méthodologie de conception UltraFast™
  - Identifier les domaines clés pour optimiser votre conception afin de répondre à vos objectifs de conception et objectifs de performance
  - Optimiser le code HDL pour maximiser les ressources FPGA qui sont déduites et pour atteindre vos objectifs de performance
  - Construire un reset dans votre système pour une fiabilité et une vitesse de conception optimales
  - Construire un design plus fiable qui est moins vulnérable aux problèmes de métastabilité et nécessite moins de débogage de conception plus tard dans le cycle de développement
  - Identifier les techniques de fermeture de synchronisation à l'aide de Vivado Design Suite
  - Appliquer des contraintes de conception exhaustives (XDC) y compris les exceptions de timing, les faux-chemins et les contraintes multi-cycle
  - Utiliser l'analyse statique de timing (STA) pour comprendre les résultats de timing
  - Localiser les chemins critiques à l'aide de rapports de timing appropriés
  - Appliquer les contraintes de timing sur les entrées/sorties pour atteindre les objectifs de performance

## FORMATIONS CONNEXES

- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx™
- Conception avec les familles Xilinx™ UltraScale et UltraScale+
- Conception avec les familles Xilinx™ Série-7
- Conception de FPGA à l'aide de Vivado Design Suite
- Utilisation Avancée de Vivado Design Suite

## PRÉREQUIS

- Connaissance intermédiaire en langage HDL et une première expérience avec la suite Vivado™ et les FPGAs.
- Connaissances/expérience avec les bases du langage TCL.

## PARTENAIRES



## CONFIGURATIONS

- Configuration logicielle :
  - Xilinx Vivado™ Design ou System Edition 2018.1
- Configuration matérielle :

- Ordinateur récent (i5 ou i7)
- Windows 7 64b
- Minimum 8Go de mémoire vive
- Résolution d'affichage minimum 1024x768, recommandée 1920x1080

## CHAPITRES

### JOUR 1

- Introduction à l'architecture FPGA, 3D IC, SoC {Lecture}
- Méthodologie UltraFast Design: Planning {Lecture}
- HDL Coding Techniques {Lecture}
- Introduction à Vivado Design Flows {Lecture}
- Mode de projet Vivado Design Suite {Lecture, Lab}
- Synthèse et mise en œuvre {Lecture, Lab}
- Introduction à Vivado Reports {Lecture}
- Introduction aux contraintes de l'horloge {Lecture, lab}
- Horloges générées {Lecture}
- Report Clock Networks {Lecture}
- Éditeur de contraintes de synchronisation {Lecture}

### JOUR 2

- Contraintes du groupe de l'horloge {Lecture}
- Report Clock Interaction {Lecture}
- Analyse temporelle Setup et Hold {Lecture}

- Rapport de timing {Lecture}
- Contraintes d'E / S et horloges virtuelles {Lecture, lab}
- Assistant de contraintes de timing {Lecture, lab}
- Introduction aux exceptions temporelles {Lecture, Lab}
- Techniques de conception synchrone {Lecture}
- Circuits de synchronisation {Lecture, lab}
- Réinitialisation {Lecture, Lab}

### JOUR 3

- Méthodologie UltraFast Design: Design Closure {Lecture}
- Fiche technique du rapport {Lecture}
- Scénarios temporels d'I/O {Lecture}
- Source-Synchronous I/O Timing {Lecture, Lab}
- System-Synchronous I/O Timing {Lecture}
- Priorité des contraintes de timing {Lecture}
- Analyse de cas {Lecture}
- Optimisation physique {Lecture, lab}
- Introduction à Floorplanning {Lecture}
- Analyse de conception et floorplanning {Lecture, lab}
- Congestion {Lecture}

## MOYENS PÉDAGOGIQUES

- Présentiel
- Présentation par vidéo projecteur
- Fourniture d'un support de cours au format papier

## ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
  - Expert FPGA XILINX – Langage VHDL – DSP – Design RTL

## MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
  - Questionnaire technique
  - Résultat des Travaux pratiques
  - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

## PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique

## CONTACT

Tel : 05 62 13 52 32

Fax : 05 61 06 72 60

training@mvd-training.com