

# Zynq™ All Programmable SoC : Architecture Système

2 jours - 14 heures

## OBJECTIFS

- Après avoir terminé cette formation complète, vous aurez les compétences nécessaires pour:
  - Décrire l'architecture et les composants qui composent le système de traitement Zynq All Programmable SoC (PS)
  - Relier un objectif de conception de l'utilisateur à la fonction, au bénéfice et à l'utilisation du Zynq All Programmable SoC
  - Sélectionner et définir efficacement une interface entre le Zynq PS et la logique programmable (PL) qui répond aux objectifs du projet
  - Analyser les compromis et les avantages de l'exécution d'une fonction en logiciel contre PL

## FORMATIONS CONNEXES

- Zynq™ All Programmable SoC : Conception Matérielle de Systèmes Embarqués
- Zynq™ All Programmable SoC : Conception Logicielle de Systèmes Embarqués
- Zynq™ All Programmable SoC : Conception Matérielle Avancée de Systèmes Embarqués
- Zynq™ All Programmable SoC : Conception Logicielle avancée de Systèmes Embarqués

## PRÉREQUIS

- Expérience en conception d'architecture de systèmes numériques
- Compréhension de base des architectures microprocesseur et FPGA
- Compréhension de base de la programmation en C
- Connaissances de base de la modélisation HDL

## PARTENAIRES



## CONFIGURATIONS

- Configuration logicielle :
  - Xilinx Vivado™ Design ou System Edition 2017.3
- Configuration matérielle :
  - Ordinateur récent (i5 ou i7)
  - Windows 7 64b
  - Minimum 8Go de mémoire vive

○ Résolution d'affichage minimum 1024x768,

recommandée 1920x1080

## CHAPITRES

### JOUR 1

- Aperçu
- Unité de processeur d'application (APU) {Lab}
- Coprocesseur néon
- Périphériques d'entrée / sortie
- Périphériques PS
  - Basse vitesse: vue d'ensemble
  - Basse vitesse: UART
  - Basse vitesse: CAN
  - Basse vitesse: I2C
  - Basse vitesse: SD / SDIO
  - Basse vitesse: GPIO
  - Haute vitesse: USB
  - Haute vitesse: Gigabit Ethernet {Lab}
- Contrôleur DMA (DMAC) {Lab}

- DMA

- Introduction et caractéristiques
- Conception de bloc et interruptions
- Lire et écrire

### JOUR 2

- AXI
  - Introduction
  - Variations
  - Transactions {Lab}
- Interface PS-PL {Lab}
- Démarrer {Lab}
- Ressources de mémoire
- Atteindre les objectifs de performance {Lab}
- Conception de matériel
- Conception de logiciels {Lab}
- Débogage {Lab}
- Outils et modèles de référence

## MOYENS PÉDAGOGIQUES

- Présentiel
- Présentation par vidéo projecteur
- Fourniture d'un support de cours au format papier

## ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
  - Expert FPGA XILINX – Langage VHDL – DSP – Design RTL

## MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
  - Questionnaire technique
  - Résultat des Travaux pratiques
  - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

## PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique

## CONTACT

Tel : 05 62 13 52 32

Fax : 05 61 06 72 60

training@mvd-training.com