

Concevoir avec Versal™ AI Engine

4 jours - 28 heures

OBJECTIFS

- Après avoir suivi cette formation complète, vous aurez les compétences nécessaires pour
 - Décrire l'architecture du Versal ACAP à un haut niveau
 - Décrivez les différents moteurs du dispositif ACP Versal et la motivation derrière le moteur AI
 - Décrire l'architecture du moteur d'AI
 - Décrire la structure d'accès à la mémoire pour le moteur d'AI
 - Décrivez le flux d'accélération de l'application complète avec l'outil Vitis
 - Énumérer la chaîne d'outils pour la programmation du Versal AI Engine
 - Expliquer ce que sont les fonctions intrinsèques
 - Programmer un seul noyau de moteur AI en utilisant l'outil XChessDE
 - Programmer plusieurs noyaux de moteurs IA en utilisant des graphiques de flux de données statiques (SDF)
 - Décrivez le flux au niveau du système, qui comprend les conceptions PS + PL + AIE (SW-HW-SW)
 - Décrire l'émulation supportée pour une conception au niveau du système
 - Décrivez le mouvement des données entre les moteurs PS, PL et AI
 - Décrire la mise en œuvre du cœur du moteur d'AI et de la logique programmable
 - Mettre en œuvre une conception au niveau du système pour les ACAPs Versal avec le flux d'outils Vitis
 - Utiliser la syntaxe intrinsèque avancée des MAC et les intrinsèques spécifiques à l'application tels que DDS et FFT
 - Utiliser la bibliothèque DSP de l'AI Engine pour accélérer le développement
 - Appliquer des contraintes de localisation sur les noyaux et les tampons dans le tableau du moteur d'IA
 - Appliquer les paramètres d'exécution pour modifier le comportement de l'application
 - Déboguer une conception au niveau du système

FORMATIONS CONNEXES

- Concevoir avec l'ACAP de Versal : architecture et méthodologie
- Concevoir avec l'ACAP de Versal : Network On Chip

PRÉREQUIS

- Confort avec le langage de programmation C/C++
- Flux de développement de logiciels
- Logiciel Vitis pour l'accélération du flux de développement des applications

PARTENAIRES



CONFIGURATIONS

- Configuration logicielle :
 - Vitis unified software platform 2020.2
- Configuration matérielle :
 - Ordinateur récent (i5 ou i7)
 - OS Linux 64-bits
 - Minimum 16Go de mémoire vive
 - Résolution d'affichage recommandée 1920x1080

CHAPITRES

JOUR 1

- Vue d'ensemble de l'architecture de Versal ACAP
- Introduction à l'architecture du moteur d'IA Versal
- Mémoire et mouvement des données du moteur d'IA Versal
- Flux d'outils du moteur d'IA Versal
- Partage des applications sur les ACAPs verticaux
- Types de données : Types de données scalaires et vectorielles
- Fonctions intrinsèques

JOUR 2

- API pour les fenêtres et les données en continu
- Le modèle de programmation : Noyau unique

- Le modèle de programmation : Introduction au graphique des flux de données
- Le modèle de programmation : Noyaux multiples utilisant des graphiques

JOUR 3

- Partage des applications sur les ACAPs verticaux
- Communications de données ACAP
- Flux de conception du système
- Introduction aux fonctions intrinsèques avancées

JOUR 4

- Vue d'ensemble de la bibliothèque DSP du moteur IA
- Spécifications avancées pour la saisie de graphiques
- Débogage et suivi des applications du moteur IA

MOYENS PÉDAGOGIQUES

- Formation en classe :
 - Présentiel
 - Présentation par vidéo projecteur
 - Fourniture de matériel de cours en format PDF
- Formation virtuelle :
 - Formation en ligne
 - Présentation par Webex
 - Fourniture de matériel de cours en format PDF

ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
 - Expert FPGA XILINX – Langage VHDL/Verilog – Design RTL
 - Expert SoC & MPSoC XILINX – Langage C/C++ – Design Systèmes
 - Expert DSP & RFSoc XILINX – HLS - Matlab - Design DSP RF
 - Expert ACAP XILINX – Engins AI – Architecte Système Hétérogènes

MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
 - Questionnaire technique
 - Résultat des Travaux pratiques
 - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

PUBLICS CONCERNÉS

- Les développeurs de logiciels et de matériels, les architectes de systèmes et tous ceux qui ont besoin d'accélérer leurs applications logicielles en utilisant des composants Xilinx

CONTACT

Administratif : +33 (0)6 30 94 50 17

Formateur : +33 (0)6 74 52 37 89

info@mvd-training.com