

Vivado™ Design Suite : reconfiguration partielle

2 jours

OBJECTIFS

- Construire et assembler un système partiellement reconfigurable (PR)
- Définir les régions et modules reconfigurables avec Vivado™
- Générer les bitstreams complets et partiels
- Identifier comment la reconfiguration partielle affecte les différentes ressources de silicium, y compris les blocs de mémoire RAM, les IOBs, la logique et les transmetteurs Multi-Gigabits
- Implémenter un système partiellement reconfigurable en utilisant les techniques suivantes :
 - Connexion JTAG
 - Contraintes et analyse de Timing
 - Placement régional



PRÉREQUIS

- Connaissance intermédiaire en langage HDL et une bonne expérience avec la suite Vivado™ et les FPGAs
- Formation Vivado™ Design Suite : Analyse statique de timing (STA) et Xilinx Design Constraints (XDC) (004913A) ou connaissances équivalentes
- Formation Vivado™ Design Suite : Outils et techniques avancés (004914A) ou connaissances équivalentes
- Connaissances/expérience avec les bases du langage TCL

FORMATIONS CONNEXES

- Conception avec les familles Xilinx™ Série-7
- Vivado™ Design Suite : XDC avancé et analyse statique de timing pour utilisateurs ISE®
- Vivado™ Design Suite : Outils et techniques avancés

PARTENAIRES

CONFIGURATIONS

- Configuration logicielle :
 - Xilinx Vivado™ Design Suite 2016.1
- Configuration matérielle :
 - Ordinateur récent (i5 ou i7)
 - Windows 7 64b
 - Minimum 8Go de mémoire vive
 - Résolution d'affichage minimum 1024x768, recommandée 1920x1080
- Pour les formations sur site, prévoir un vidéo projecteur

CHAPITRES

INTRODUCTION

MÉTHODOLOGIE DE RECONFIGURATION PARTIELLE

- Introduction
- Terminologie

- Flot de conception
- Exercice : Flot de reconfiguration partielle

FLOT DE L'OUTIL DE RECONFIGURATION PARTIELLE

- Détails du flot

RECOMMANDATIONS POUR LA CONCEPTION AVEC RECONFIGURATION PARTIELLE

- Exigences et guide pour la conception

- Recommandations pour la conception
- Recommandations pour le flot PR
- Exercice : Placement régional

BITSTREAMS DE RECONFIGURATION PARTIELLE

- Intégrité du Bitstream
- Ressource ICAP

GESTION DES TIMINGS

- Timings
- Contraintes de Timing
- Analyse des Timings
- Exercice : Contraintes et analyse de timing d'une reconfiguration partielle

NOTES

- Les supports de cours seront fournis sur papier à chaque participant pendant la formation.

CONTACT

Tel : 05 62 13 52 32
Fax : 05 61 06 72 60
training@mvd-training.com