

Vivado™ Design Suite : Analyse statique de timing (STA) et Xilinx Design Constraints (XDC)

3 jours - 21 heures

OBJECTIFS

- Ce cours offre une formation détaillée sur le flow de conception de la suite Vivado™, les contraintes Xilinx (XDC), l'analyse statique de timing (STA), les bonnes pratiques de conception FPGA, et comment utiliser la base de données unifiée de Vivado™.
 - Utiliser de bonnes pratiques de conception pour améliorer la fiabilité de la conception.
 - Augmenter les performances en utilisant des techniques de conception FPGA.
 - Décrire les détails des objets de la base de données unifiée.
 - Identifier les commandes Tcl pour interagir avec la base de données
 - Appliquer des contraintes de conception exhaustives (XDC) y compris les exceptions de timing, les faux-chemins et les contraintes multi-cycle
 - Utiliser l'analyse statique de timing (STA) pour comprendre les résultats de timing
 - Localiser les chemins critiques à l'aide de rapports de timing appropriés
 - Appliquer les contraintes de timing sur les entrées/sorties pour atteindre les objectifs de performance
 - Décrire les options de synthèse et comment elles peuvent améliorer les performances

FORMATIONS CONNEXES

- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx™
- Conception avec les familles Xilinx™ Série-7

PRÉREQUIS

- Connaissance intermédiaire en langage HDL et une première expérience avec la suite Vivado™ et les FPGAs.
- Connaissances/expérience avec les bases du langage TCL.

PARTENAIRES



CONFIGURATIONS

- Configuration logicielle :
 - Xilinx Vivado™ Design ou System Edition 2017.3
- Configuration matérielle :

- Ordinateur récent (i5 ou i7)
- Windows 7 64b
- Minimum 8Go de mémoire vive
- Résolution d'affichage minimum 1024x768, recommandée 1920x1080

CHAPITRES

1ER JOUR

- Résumé méthodologie de conception
- Introduction
- Techniques de conception de FPGA
- Accès à la base de données unifiée
 - Exercice
- Analyse statique de timing et horloges
 - Exercice

2EME JOUR

- Entrées/Sorties
 - Exercice : Contraintes sur les IOs

- Exceptions sur les contraintes de timing
 - Exercice
- Techniques de synthèse

3EME JOUR

- Méthodologie de conception FPGA : checklist
- Méthodologie de conception FPGA
- Technique de codage HDL
- Méthodologie de reset
 - Exercice : Resets
 - Exercice : Inférence SRL et DSP
- Circuit de resynchronisation et rapport Clock Interaction
- Tenir les contraintes de timing
- Etude de cas : Méthodologie de conception FPGA
 - Exercice

MOYENS PÉDAGOGIQUES

- Présentiel
- Présentation par vidéo projecteur
- Fourniture d'un support de cours au format papier

ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
 - Expert FPGA XILINX – Langage VHDL – DSP – Design RTL

MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
 - Questionnaire technique
 - Résultat des Travaux pratiques
 - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique

CONTACT

Tel : 05 62 13 52 32

Fax : 05 61 06 72 60

training@mvd-training.com