

Vivado™ Design Suite : reconfiguration partielle

2 jours - 14 heures

OBJECTIFS

- Après avoir terminé cette formation complète, vous aurez les compétences nécessaires pour:
 - Construire et assembler un système partiellement reconfigurable (PR)
 - Définir les régions et modules reconfigurables avec Vivado™
 - Générer les bitstreams complets et partiels
 - Identifier comment la reconfiguration partielle affecte les différentes ressources de silicium, y compris les blocs de mémoire RAM, les IOBs, la logique et les transmetteurs Multi-Gigabits
 - Implémenter un système partiellement reconfigurable en utilisant les techniques suivantes :
 - Connexion JTAG
 - Contraintes et analyse de Timing
 - Placement régional
 - Mettre en place un système PR utilisant l'IIP PRC
 - Mettre en place un système PR dans un environnement intégré
 - Déboguer les designs PR

FORMATIONS CONNEXES

- Conception avec les familles Xilinx™ Série-7
- Vivado™ Design Suite : XDC avancé et analyse statique de timing pour utilisateurs ISE®

PRÉREQUIS

- Connaissance intermédiaire en langage HDL et une bonne expérience avec la suite Vivado™ et les FPGAs
- Formation *Vivado™ Design Suite : Analyse statique de timing (STA) et Xilinx Design Constraints (XDC) (F_STAXDC)* ou connaissances équivalentes
- Formation *Vivado™ Design Suite : Outils et techniques avancés (F_VATT)* ou connaissances équivalentes
- Connaissances/expérience avec les bases du langage TCL

PARTENAIRES



CONFIGURATIONS

- Configuration logicielle :
 - Xilinx Vivado™ Design Suite 2017.1
- Configuration matérielle :

- Ordinateur récent (i5 ou i7)
- Windows 7 64b
- Minimum 8Go de mémoire vive
- Résolution d'affichage minimum 1024x768, recommandée 1920x1080

CHAPITRES

JOUR 1

- Méthodologie de reconfiguration partielle
- Flux d'outils de reconfiguration partielle
- Lab 1: flux de reconfiguration partielle
- Lab 2: Planification du projet PR Design
- Vue d'ensemble de la configuration FPGA
- Reconnaissance partielle Bitstreams
- Lab 3: Utilisation du contrôleur de reconfiguration partielle dans

un dessin PR

JOUR 2

- Gestion des horloges, des E / S et des GT
- Reconfiguration partielle: gestion du calendrier
- Lab 4: Analyse et contraintes temporelles de la reconfiguration
- Reconfiguration partielle dans les systèmes embarqués
- Lab 5: Reconfiguration partielle dans les systèmes embarqués
- Débogage des conceptions partielles de reconfiguration
- Lab 6: Débogage d'une conception partielle de reconfiguration
- Recommandations de conception de reconfiguration partielle
- PCIe Core et Reconfiguration partielle

MOYENS PÉDAGOGIQUES

- Présentiel
- Présentation par vidéo projecteur
- Fourniture d'un support de cours au format papier

ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
 - Expert FPGA XILINX – Langage VHDL – DSP – Design RTL

MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
 - Questionnaire technique
 - Résultat des Travaux pratiques
 - Validation des Objectifs

CONTACT

Tel : 05 62 13 52 32

Fax : 05 61 06 72 60

training@mvd-training.com