Conception avec Dynamic Function eXchange (DFX) à l'aide de la Vivado™

3 jours - 21 heures

OBJECTIFS

- Après avoir terminé cette formation, vous aurez les compétences nécessaires pour:
  - 1 - Décrire ce qu'est le Dynamic Function eXchange et le flux d'outils DFX avec Vivado.
  - 2 - Identifier comment Dynamic Function eXchange affecte diverses ressources pour les composants Xilinx.
  - 3 - Utiliser la fonction de conteneur de conception de blocs de Vivado IP Integrator pour créer une conception DFX.
  - 4 - Générer les flux binaires complets et partiels appropriés pour une conception DFX.
  - 5 - Implémentation et débogage d'un système Dynamic Function eXchange
  - 6 - Implémenter un système DFX dans un environnement embarqué à l'aide de l'IDE Vitis.

PRÉREQUIS

- Cours de conception de FPGA avec Vivado™
- Connaissance pratique du langage HDL (VHDL ou Verilog)

PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique
- Toutes nos formations étant données à distance, sont accessibles aux personnes à mobilité réduite.
- Notre partenaire AGEFIPH nous accompagne pour mettre en place les adaptations nécessaires liées à votre handicap.

NOTES

- Date de version : 20/12/2021

CHAPITRES

JOUR 1

- Objectif 1
  - Introduction à l'échange de fonctions dynamiques (DFX) {Lecture}
  - Flux DFX à l'aide de l'interface graphique de Vivado Design Suite {Lecture, Lab}
  - Flux DFX utilisant les commandes Tcl de Vivado Design Suite {Lecture, Lab}
  - DFX imbriquée {Lecture, Lab}
  - Shell abstrait pour Dynamic Function eXchange {Lecture}

JOUR 2

- Objectif 2
  - Considérations sur la conception DFX pour tous les composants Xilinx {Lecture}
  - Considérations de conception DFX pour les composants 7 Series, Zynq SoC, UltraScale, et UltraScale+ {Lecture}
  - Considérations de conception DFX pour les composants Versal {Lecture}
- Objectif 3
  - Propriété intellectuelle (IP) DFX {Lecture, Lab}
  - Conteneurs de conception de blocs DFX dans IP Integrateur {Lecture, Lab}
- Objectif 4
  - Configuration des dispositifs à l'aide de DFX {Lecture}
  - Paramètres de configuration {Lecture}
  - Flux binaire DFX {Lecture}
  - Intégrité des flux binaires DFX {Lecture}

JOUR 3

- Objectif 5
  - Planification d'une conception DFX {Lecture, Lab}
  - Analyse et contraintes de timing DFX {Lecture, Lab}
  - Débogage DFX {Lecture, Lab}
- Objectif 6
  - DFX dans les systèmes embarqués {Lecture, Lab}
  - Conceptions DFX utilisant le PCIe Core {Lecture}

MOYENS PÉDAGOGIQUES

- Formation Inter-entreprise en ligne:
  - Présentation par Webex de Cisco
  - Fourniture de matériel de cours en format PDF
  - Travaux pratiques sur PC à distance par RealVNC

MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
  - Questionnaire technique
  - Résultat des Travaux pratiques
  - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

ENCADREMENT

- Formateur agréé AMD : Ingénieur Electronique et Télécommunication ENSIL
  - Expert FPGA AMD – Langage VHDL/Verilog – Design RTL
  - Expert SoC & MPSoC AMD – Langage C/C++ – Design Systèmes
  - Expert DSP & RFSoC AMD – HLS - Matlab - Design DSP RF
  - Expert Versal AMD – Engins AI – Architecte Système Hétérogènes

PC RECOMMANDÉ

- Configuration logicielle :
  - WebEx Cisco
  - RealVNC Viewer
  - Vitis 2021.2
- Configuration matérielle :
  - Ordinateur récent (i5 ou i7)
  - OS Linux 64-bits (Windows 10 compatible)
  - Minimum 16Go de mémoire vive
  - Résolution d'affichage recommandée 1920x1080

PARTENAIRES

AMD
Authorized Training Provider

CONTACT

Administratif / Formateur : (+33) 06 74 52 37 89
info@mvd-training.com

Qualiopi
processus certifié
RÉPUBLIQUE FRANÇAISE
La certification a été délivrée au titre de la catégorie d'action suivante :
ACTIONS DE FORMATION