

# Zynq UltraScale+™ All Programmable MPSoC : Conception Matérielle

1 jour - 7 heures

## OBJECTIFS

- Ce cours fournit aux concepteurs de matériel une vue d'ensemble des nombreuses capacités de la famille Zynq® UltraScale+™ MPSoC d'un point de vue matériel de l'architecture.
- Après avoir terminé cette formation, vous aurez les compétences nécessaires pour:
  - Énumérer les éléments clés de l'unité de traitement d'application (APU) et de l'unité de traitement en temps réel (RPU)
  - Énumérer les différents domaines de puissance et comment ils sont contrôlés
  - Décrire la connectivité entre le système de traitement (PS) et la logique programmable (PL)
  - Utiliser QEMU pour émuler le comportement du matériel

## FORMATIONS CONNEXES

- Zynq UltraScale+™ All Programmable MPSoC : Architecture Système
- Zynq UltraScale+™ All Programmable MPSoC : Conception Matérielle et Logicielle
- Zynq™ All Programmable SoC : Architecture Système
- Zynq™ All Programmable SoC : Conception Matérielle de Systèmes Embarqués
- Zynq™ All Programmable SoC : Conception Logicielle de Systèmes Embarqués
- Zynq™ All Programmable SoC : Conception Matérielle Avancée de Systèmes Embarqués
- Zynq™ All Programmable SoC : Conception Logicielle avancée de Systèmes Embarqués

## PRÉREQUIS

- Compréhension de l'architecture Zynq-7000
- Familiarité avec les systèmes d'exploitation embarqués

## PARTENAIRES



## CONFIGURATIONS

- Configuration logicielle :
  - Vivado® Design Suite 2017.3 (Peut exiger une licence spéciale Zynq UltraScale + MPSoC)
- Environnement d'émulation matérielle :
  - VirtualBox
  - QEMU
- Ubuntu desktop
- PetaLinux
- Configuration matérielle :
  - Ordinateur récent (i5 ou i7)
  - Windows 7 64b
  - Minimum 8Go de mémoire vive
  - Résolution d'affichage minimum 1024x768, recommandée 1920x1080

## CHAPITRES

### JOUR 1

- Unité de traitement de l'application Zynq UltraScale + MPSoC {Lecture, lab}
- Unité de traitement en temps réel Zynq UltraScale + MPSoC {Lecture, lab}
- QEMU {Lecture, Lab}
- Zynq UltraScale + MPSoC HW-SW Virtualization {Lecture, Lab}
- Zynq UltraScale + MPSoC Booting {Lecture, Lab}
- Zynq UltraScale + Protection du système MPSoC {Lecture}
- Zynq UltraScale + MPSoC Horloges et réinitialisations {Lecture}
- Zynq UltraScale + MPSoC PMU {Lecture, lab}

## MOYENS PÉDAGOGIQUES

- Présentiel
- Présentation par vidéo projecteur
- Fourniture d'un support de cours au format papier

## ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
  - Expert FPGA XILINX – Langage VHDL – DSP – Design RTL

## MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
  - Questionnaire technique
  - Résultat des Travaux pratiques
  - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

## PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique

## CONTACT

Tel : 05 62 13 52 32

Fax : 05 61 06 72 60

training@mvd-training.com