

Zynq™ All Programmable SoC : Conception Matérielle de Systèmes Embarqués

2 jours - 14 heures

OBJECTIFS

- Après avoir terminé cette formation complète, vous aurez les compétences nécessaires pour:
 - Décrire les différents outils qui englobent un design intégré Xilinx
 - Construire rapidement un système embarqué contenant un processeur MicroBlaze ou Cortex-A9 à l'aide de l'Intégrateur Vivado IP et Assistant Personnalisation
 - Développer des applications logicielles en utilisant le kit de développement logiciel (SDK) basé sur Eclipse
 - Créer et intégrer un composant de système de traitement basé sur IP dans Vivado Design Suite
 - Concevoir et ajouter un périphérique personnalisé basé sur l'interface AXI au système de traitement incorporé
 - Simuler un périphérique personnalisé basé sur l'interface AXI à l'aide d'un modèle fonctionnel de bus (BFM)

FORMATIONS CONNEXES

- Zynq™ All Programmable SoC : Architecture Système
- Zynq™ All Programmable SoC : Conception Logicielle de Systèmes Embarqués
- Zynq™ All Programmable SoC : Conception Matérielle Avancée de Systèmes Embarqués
- Zynq™ All Programmable SoC : Conception Logicielle avancée de Systèmes Embarqués

PRÉREQUIS

- Expérience de l'outil Vivado™ et conception de FPGA
- Formation *Zynq™ All Programmable SoC : Architecture système (E_ZSA)* ou connaissances équivalentes
- Compréhension de base des architectures microprocesseur et FPGA
- Compréhension de base de la programmation en C
- Connaissances de base de la modélisation HDL

PARTENAIRES



CONFIGURATIONS

- Configuration logicielle :
 - Xilinx Vivado™ Design ou System Edition 2017.3
- Configuration matérielle :

- Ordinateur récent (i5 ou i7)
- Windows 7 64b
- Minimum 8Go de mémoire vive
- Résolution d'affichage minimum 1024x768, recommandée 1920x1080

CHAPITRES

JOUR 1

- Méthode de conception UltraFast intégrée
- Vue d'ensemble du développement de matériel intégré
- Utilisation de l'outil IP Integrator {Lab}
- Vue d'ensemble du développement de logiciels intégrés
- Utilisation de l'outil SDK {Lab}
- AXI: Introduction
- AXI: Variations
- AXI: Transactions {Lab}

- Introduction aux interruptions
- Interruptions: architecture et support matériel

JOUR 2

- AXI: Connexion d'AXI IP
- Utilisation de l'Assistant Créer et importer pour créer une nouvelle IP AXI {Lab}
- AXI: Simulation BFM avec IP de vérification {Lab}
- Présentation de l'architecture du processeur MicroBlaze {Lab}
- Zynq-7000 Vue d'ensemble de l'architecture SoC Programmable {Lab}
- Présentation de l'architecture Zynq UltraScale + MPSoC {Lab}

MOYENS PÉDAGOGIQUES

- Présentiel
- Présentation par vidéo projecteur
- Fourniture d'un support de cours au format papier

ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
 - Expert FPGA XILINX – Langage VHDL – DSP – Design RTL

MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
 - Questionnaire technique
 - Résultat des Travaux pratiques
 - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique

CONTACT

Tel : 05 62 13 52 32

Fax : 05 61 06 72 60

training@mvd-training.com