

# Vivado™ High Level Synthesis

2 jours - 14 heures

## OBJECTIFS

- Après avoir terminé cette formation complète, vous aurez les compétences nécessaires pour:
  - Améliorer la productivité à l'aide de l'outil Vivado HLS
  - Décrire le flux de synthèse de haut niveau
  - Utiliser l'outil Vivado HLS pour un premier projet
  - Identifier l'importance du testbench
  - Utiliser des directives pour améliorer les performances et la zone et sélectionner les interfaces RTL
  - Identifier les pièges de codage courants ainsi que les méthodes d'amélioration du code pour RTL / hardware
  - Effectuer l'intégration au niveau système de l'IP générée par l'outil Vivado HLS
  - Décrire comment utiliser les fonctions OpenCV dans l'outil Vivado HLS

## FORMATIONS CONNEXES

- Techniques d'Implémentation de fonctions DSP pour FPGA Xilinx™
- Vivado™ Design Suite pour utilisateurs ISE® Project Navigator
- Environnement et méthodologie de développement SDSoC

## PRÉREQUIS

- Connaissance en C, C++ ou System-C
- Connaissance basique en conception numérique

## PARTENAIRES



## CONFIGURATIONS

- Configuration logicielle :
  - Xilinx Vivado™ Design ou System Edition 2017.3
- Configuration matérielle :
  - Ordinateur récent (i5 ou i7)
  - Windows 7 64b
  - Minimum 8Go de mémoire vive

○ Résolution d'affichage minimum 1024x768,

recommandée 1920x1080

## CHAPITRES

### JOUR 1

- Introduction à la synthèse de haut niveau {Lecture}
- Principes fondamentaux de l'outil Vivado HLS {Lecture, Lab}
- Exploration de conception avec directives {Lecture}
- Interface de ligne de commande de l'outil Vivado HLS {Lecture, lab}
- Introduction à la méthodologie HLS UltraFast Design {Lecture}
- Introduction aux interfaces d'E / S {Lecture}
- Protocoles à bloc-niveau {Lecture, lab}
- Protocoles au niveau du port {Lecture, lab}
- Protocoles de niveau de port: Interfaces AXI4 {Lecture}
- Protocoles de niveau de port: Interfaces de mémoire {Lecture, lab}

- Protocoles de niveau de port: Protocole de bus {Lecture}
- Pipeline for Performance: PIPELINE {Lecture, Lab}

### JOUR 2

- Pipeline for Performance: DATAFLOW {Lecture, Lab}
- Optimisation des structures de performance {Lecture, lab}
- Pack de données et dépendances de données {Lecture}
- Vivado HLS Tool Comportement par défaut - Latence {Lecture}
- Réduire la latence {Lecture}
- Réduire les ressources {Lecture, lab}
- Introduction à HLx Design Flow {Lecture, Lab}
- HLS vs SDSoc Development Environment Flow {Lecture}
- Vivado HLS Tool: C Code {Lecture, Laboratoire}
- Modélisation matérielle {Lecture}
- OpenCV Libraries {Lecture}
- Pointers {Lecture}

## MOYENS PÉDAGOGIQUES

- Présentiel
- Présentation par vidéo projecteur
- Fourniture d'un support de cours au format papier

## ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
  - Expert FPGA XILINX – Langage VHDL – DSP – Design RTL

## MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
  - Questionnaire technique
  - Résultat des Travaux pratiques
  - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

## PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique

## CONTACT

Tel : 05 62 13 52 32

Fax : 05 61 06 72 60

training@mvd-training.com