

## Conception avec les Transceivers séries Xilinx

2 jours - 14 heures

### OBJECTIFS

- Après avoir terminé cette formation complète, vous aurez les compétences nécessaires pour:
  - Décrire et utiliser les ports et les attributs des émetteurs-récepteurs série dans les FPGA UltraScale
  - Utiliser efficacement les fonctions suivantes des émetteurs-récepteurs Gigabit:
    - 8B / 10B et d'autres codage / décodage, détection de comma, correction d'horloge et liaison de canal
    - Pré-accentuation et égalisation linéaire
  - Utiliser l'assistant Transceivers FPGA UltraScale pour créer des primitives GT dans une conception
  - Accéder au matériel de référence approprié pour les problèmes de conception de la carte impliquant l'alimentation, l'horloge de référence et le traçage
  - Utiliser le design IBERT pour vérifier les liens des émetteurs-récepteurs sur du matériel réel

### FORMATIONS CONNEXES

- Synthèse logique et simulation VHDL pour Conception de FPGA Xilinx™
- Conception avec les familles Xilinx™ UltraScale et UltraScale+
- Conception avec les familles Xilinx™ Série-7
- Conception d'un système Logicore PCI-Express

### PRÉREQUIS

- L'expérience Verilog ou VHDL (ou le cours Designing Verilog ou Designing VHDL)
- Connaissance de la conception logique (machines d'état et conception synchrone)
- La connaissance de base de l'architecture FPGA et des outils de mise en œuvre Xilinx est utile
- La familiarité avec les bases de base d'E / S série et les normes E / S en série haute vitesse est également utile

### PARTENAIRES



## CONFIGURATIONS

- Configuration logicielle :
  - Xilinx Vivado™ System Edition 2016.3
- Configuration matérielle :

- Ordinateur récent (i5 ou i7)
- Windows 7 64b
- Minimum 8Go de mémoire vive
- Résolution d'affichage minimum 1024x768, recommandée 1920x1080

## CHAPITRES

### JOUR 1

- Transceivers 7 Series, UltraScale, UltraScale+, Zynq UltraScale+ :  
Vue d'ensemble
- Transceivers 7 Series, UltraScale, UltraScale+, Zynq UltraScale+ :  
Horloge et Réinitialisation
- Vue d'ensemble de l'Assistant Transceiver
- Lab 1: génération de base de l'émetteur-récepteur
- Simulation de l'émetteur-récepteur
- Lab 2: simulation d'émetteur-récepteur
- Fonctionnalité générale de la couche PCS

- Codage de couche PCS
- Lab 3: 64B / 66B Code

### JOUR 2

- Mise en œuvre des émetteurs-récepteurs
- Lab 4: Mise en œuvre de l'émetteur-récepteur
- Détails de la couche PMA
- Optimisation de la couche PMA
- Lab 5: conception IBERT
- Test et débogage de l'émetteur-récepteur
- Lab 6: Débogage d'émetteur-récepteur
- Considérations relatives à la conception de la carte transceiver
- Exemples d'application transceiver

## MOYENS PÉDAGOGIQUES

- Présentiel
- Présentation par vidéo projecteur
- Fourniture d'un support de cours au format papier

## ENCADREMENT

- Formateur agréé XILINX : Ingénieur Electronique et Télécommunication ENSIL
  - Expert FPGA XILINX – Langage VHDL – DSP – Design RTL

## MODALITÉS DE SUIVI ET APPRÉCIATION DES RÉSULTATS

- Fiches de présence émargées
- Questionnaire d'appréciation
- Fiche d'évaluation portant sur :
  - Questionnaire technique
  - Résultat des Travaux pratiques
  - Validation des Objectifs
- Remise d'une attestation avec évaluation des acquis

## PUBLICS CONCERNÉS

- Techniciens et Ingénieurs en électronique numérique

## CONTACT

Tel : 05 62 13 52 32

Fax : 05 61 06 72 60

training@mvd-training.com